

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-121035

(43) 公開日 平成9年(1997)5月6日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 5 1
21/8242			21/316	Y
21/316			21/203	S
27/04			27/04	C
21/822			27/10	6 2 1 B
審査請求 未請求 請求項の数 5 O L (全 6 頁) 最終頁に続く				

(21) 出願番号 特願平8-223983

(22) 出願日 平成8年(1996)8月26日

(31) 優先権主張番号 1995 P 28572

(32) 優先日 1995年9月1日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 朴 仁成

大韓民国ソウル特別市江南区大峙洞503番

地開浦1次宇成アパート8棟403号

(72) 発明者 金 義松

大韓民国京畿道仁川市延壽区延壽2洞634

番地宇成アパート206棟1105号

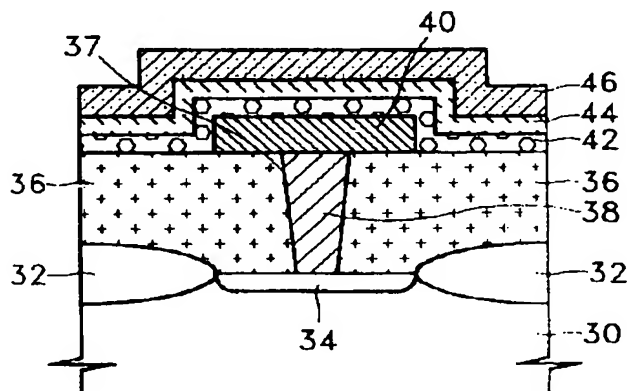
(74) 代理人 弁理士 服部 雅紀

(54) 【発明の名称】 半導体素子のキャパシタ製造方法

(57) 【要約】

【課題】 Ta_2O_5 膜の酸素欠乏による漏れ電流を防止するための半導体素子のキャパシタ製造方法を提供する。

【解決手段】 本発明の半導体素子のキャパシタ製造方法は、ストレージ電極40の形成された半導体基板30上に Ta_2O_5 膜を形成する第1段階と、 Ta_2O_5 膜の形成された半導体基板30にUV- O_3 アニーリングを施す第2段階と、第1段階及び第2段階を一回以上繰り返し施す第3段階とを含むことを特徴とする。UV- O_3 アニーリングは200℃～400℃の温度範囲内で1～60分程度施すことが望ましい。第1段階における Ta_2O_5 膜の厚さは10Å～500Åで形成することが望ましい。かつ、第3段階後、半導体基板30を600℃～800℃の温度で10～60分間、ドライ- O_2 アニーリングする段階をさらに備えることが望ましい。



【特許請求の範囲】

【請求項 1】 ストレージ電極の形成された半導体基板上に Ta_2O_5 膜を形成する第 1 段階と、前記 Ta_2O_5 膜の形成された前記半導体基板に UV-O_3 アニールリングを施す第 2 段階と、前記第 1 段階及び第 2 段階を一回以上繰り返し施す第 3 段階とを含むことを特徴とする半導体素子のキャパシタ製造方法。

【請求項 2】 前記 UV-O_3 アニールリングは 200°C ～ 400°C の温度で施すことを特徴とする請求項 1 に記載の半導体素子のキャパシタ製造方法。

【請求項 3】 前記 UV-O_3 アニールリングは $1 \sim 60$ 分程度施すことを特徴とする請求項 1 に記載の半導体素子のキャパシタ製造方法。

【請求項 4】 前記第 1 段階における前記 Ta_2O_5 膜の厚さは $10 \text{ \AA} \sim 500 \text{ \AA}$ であることを特徴とする請求項 1 に記載の半導体素子のキャパシタ製造方法。

【請求項 5】 前記第 3 段階後、前記半導体基板を $600^\circ\text{C} \sim 800^\circ\text{C}$ の温度で $10 \sim 60$ 分間、ドライー O_2 アニールリングする段階をさらに備えることを特徴とする請求項 1 に記載の半導体素子のキャパシタ製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体素子の製造方法に係り、特に Ta_2O_5 膜の酸素欠乏による漏れ電流を防止するための半導体素子のキャパシタ製造方法に関する。

【0002】

【従来の技術】 半導体製造技術の発達と応用分野の拡張により大容量のメモリ素子に対する研究が活発に行われつつある。これにより、制限された面積でより大きいキャパシタンスを得るための方法を要するが、現在では誘電膜の厚さ縮小、有効面積の増加及び高誘電率の物質を用いる誘電膜の形成という三種の方法が研究されつつある。

【0003】 このうち、誘電膜の厚さ縮小は誘電物質の物理的な性質により限られる。すなわち、誘電膜の厚さを縮めるほどキャパシタンスは増えるが、ある程度以上の厚さ縮小は誘電破壊による漏れ電流を発生するので、これに鑑みて誘電膜の厚さを決めるべきである。一方、ストレージ電極をプレーナ、トレンチ、スタックまたはシリンドラ状の単一構造やこれらの複合構造としてキャパシタの有効面積を増やせる。しかしながら、これは工程を複雑にする。

【0004】 さらに、高誘電率を有する物質を用いてキャパシタの誘電膜を形成する方法を用いるが、これは制限された大きさのメモリセル内でセルキャパシタンスを増やすことができ、回路の高集積化に好適である。即ち、誘電膜の厚さを限界寸法以下に薄くせず、且つキャパシタの構造を複雑にすることなく、十分なセルキャパ

シタンスを確保し得る。したがって、本発明は前記三種の方法のうち高誘電率を有する物質を用いて誘電膜を形成するキャパシタの製造方法に関する。

【0005】 高誘電率を有する代表的な誘電物質としては、 Ta_2O_5 や TiO_2 などがある。さらに、より高誘電率を有する強誘電物質としては、 SrTiO_3 や $(\text{BaSr})\text{TiO}_3$ などがある。しかしながら、 SrTiO_3 や $(\text{BaSr})\text{TiO}_3$ は $300 \sim 600$ 程度の高誘電率を有するが、組成調節が困難であり、電極物質が確保しにくいという問題がある。

【0006】 図 9 乃至図 12 は Ta_2O_5 膜を用いる従来の技術による半導体素子のキャパシタ製造方法を説明するための断面図である。図面符号 10 は半導体基板、12 はフィールド酸化膜、14 はソース領域、16 は絶縁層、17 はコンタクトホール、18 は導電性プラグ、20 は導電層、20' はストレージ電極、22 は Ta_2O_5 膜、24 はプレート電極をそれぞれ示す。

【0007】 図 9 を参照すると、シリコン基板 10 の上にフィールド酸化膜 12 及びソース領域 14 を形成した後、絶縁層（後続く工程で絶縁層 16 でパタニングされるので図示せず）を形成する工程と、前記ソース領域 14 が露出されるように前記絶縁層を食刻することによりコンタクトホール 17 及び絶縁層 16 を形成する工程と、前記コンタクトホール 17 を充分に埋め立てる導電物質（後続く工程で導電性プラグ 18 となるので図示せず）、例えば不純物のドーピングされた多結晶シリコンを前記絶縁層 16 の形成された前記半導体基板 10 の上に蒸着する工程と、前記絶縁層 16 が露出されるまで前記不純物のドーピングされた多結晶シリコンをエッチバックすることにより前記コンタクトホール 17 に導電性プラグ 18 を形成する工程とを順次に行う。

【0008】 図 10 を参照すると、前記絶縁層 16 及び導電性プラグ 18 が形成された半導体基板 10 の上に導電層 20 を形成する。この際、導電層 20 は、不純物のドーピングされた多結晶シリコン、 WN 、 TiN 、 Pt または WSi の単一膜やこれらの複合膜よりなる。図 11 を参照すると、前記導電性プラグ 18 を含む所定の領域を除いた領域の絶縁層 16 が露出されるように、前記導電層 20 を食刻してストレージ電極 20' を形成する工程と、前記ストレージ電極 20' の形成された半導体基板 10 の上に Ta_2O_5 22 膜を形成する工程とを行う。

【0009】 前記 Ta_2O_5 膜 22 はペンターエトキシータンタル ($\text{Ta}(\text{OC}_2\text{H}_5)_5$) を材料物質としてスパッタリング、化学気相蒸着 (Chemical Vapor Deposition; CVD)、液体ソース CVD、光学 CVD またはゾルゲル方法のうちいずれか一つの方法を用いて形成する。図 12 を参照すると、前記 Ta_2O_5 膜 22 の形成された半導体基板 10 の上にプレート電極 24 を形成するが、この際、前記プレート電極 24 は、不純物の

3

ドーピングされた多結晶シリコン、WN、TiN、PtまたはWSiの単一膜やこれらの複合膜よりなる。

【0010】このように形成されたTa₂O₅膜では、後続く熱処理工程でTa₂O₅膜内に含まれている酸素原子が活性化してキャパシタの電極物質と結合するので、過多の酸素欠乏による漏れ電流が発生する。ヒロシ・シンリキ (Hiroshi Shinriki) とマサユキ・ナカタ (Masayuki Nakata) は、IEEE Vol 38, No 3, (1991年3月) pp 455-462で、前記Ta₂O₅膜の漏れ電流を解決するための方法として、UV-O₃及びドライ-O₂の二段階のアニーリング方法を提案している。

【0011】前記二段階のアニーリングはそれぞれ異なる作用を有する。Ta₂O₅膜の酸素欠乏を補償するために紫外線でO₃を光分解して得られた励起された酸素原子を供給する作用はUV-O₃アニーリングにより行われ、限界寸法以下の薄いTa₂O₅膜 (weak spotという) をなおし、Ta₂O₅膜を蒸着するために材料物質として用いるペンターエトキシタンタル (Ta (OC₂H₅)₅) が熱分解されつつ、Ta₂O₅膜内で生成された炭素の濃度を低下する作用はドライ-O₂アニーリングにより行われる。

【0012】

【発明が解決しようとする課題】しかしながら、前記IEEEに記載されたUV-O₃アニーリングは、Ta₂O₅膜の漏れ電流を最小とするには限界がある。特に、酸素がTa₂O₅膜の表面から特定の深さに拡散されてその下では依然として酸素欠乏が存在する。したがって、UV-O₃アニーリングの長所を活用しつつTa₂O₅膜の全体に酸素を供給し得る方法が必要である。

【0013】本発明の目的は、Ta₂O₅膜の酸素欠乏による漏れ電流を防止するための半導体素子のキャパシタ製造方法を提供することにある。

【0014】

【課題を解決するための手段】前記目的を達成するために本発明は、ストレージ電極の形成された半導体基板上にTa₂O₅膜を形成する第1段階と、前記Ta₂O₅膜の形成された前記半導体基板にUV-O₃アニーリングを施す第2段階と、前記第1段階及び第2段階を一回以上繰り返し施す第3段階とを含むことを特徴とする半導体素子のキャパシタ製造方法を提供する。

【0015】前記UV-O₃アニーリングは200℃～400℃の温度範囲内で施すことが望ましい。前記UV-O₃アニーリングは1～60分程度施すことが望ましい。前記第1段階における前記Ta₂O₅膜の厚さは10Å～500Åで形成することが望ましい。

【0016】かつ、前記第3段階後、前記半導体基板を600℃～800℃の温度で10～60分間、ドライ-O₂アニーリングする段階をさらに備えることが望ましい。

【0017】

4

【発明の実施の形態】以下、添付した図面に基づき本発明の実施の形態を詳細に説明する。図1乃至図5は本発明の望ましい実施例による半導体素子のキャパシタ製造方法を説明するための断面図である。参照番号30は半導体基板、32はフィールド酸化膜、34はソース領域、36は絶縁層、37はコンタクトホール、38は導電性プラグ、40はストレージ電極、42は第1Ta₂O₅膜、44は第2Ta₂O₅膜、46はプレート電極をそれぞれ示す。

10 【0018】図1を参照すると、フィールド酸化膜32により活性領域及び分離領域に区分された半導体基板30の上に絶縁物質を蒸着した後、これをリフローして平坦面を有する絶縁層 (後続く工程で絶縁層36でパタニングされるので図示せず) を形成する工程と、前記ソース領域34が露出されるように前記絶縁層を食刻することによりコンタクトホール37及び絶縁層36を形成する工程と、前記コンタクトホールを十分に埋め立てる厚さを有する導電物質 (後続く工程で導電性プラグ38となるので図示せず)、例えば不純物のドーピングされた多結晶シリコンを前記結果物の全面に蒸着する工程と、前記絶縁層36が露出されるまで前記不純物のドーピングされた多結晶シリコンをエッチバックすることにより前記コンタクトホールに導電性プラグ38を形成する工程とを順次に行う。

【0019】図2を参照すると、導電性プラグ38の形成された前記結果物の全面に導電層 (後続く工程でストレージ電極40でパタニングされるので図示せず) を形成する工程と、前記導電性プラグ38を含む所定の領域を除いた領域の絶縁層36が露出されるように前記導電層を写真食刻してストレージ電極40を形成する工程とを順次に行う。

【0020】前記導電層は不純物のドーピングされた多結晶シリコン、WN、TiN、PtまたはWSiの単一膜やこれらの複合膜よりなり、MOCVD (Metal Organic CVD)、PECVD (Plasma-Enhanced CVD) や LPCVD (Low-Pressure CVD) などの方法で形成する。図3を参照すると、前記ストレージ電極40の形成された半導体基板30の上に第1Ta₂O₅膜42を形成する。

40 【0021】前記第1Ta₂O₅膜42はペンターエトキシタンタル (Ta (OC₂H₅)₅) を材料物質としてスパッタリング、化学気相蒸着 (CVD)、液体ソースCVD、光学CVDまたはゾルゲル方法のうちいずれか一つの方法で40Åの厚さに蒸着する。次いで、前記第1Ta₂O₅膜42に酸素を供給するためにO₃及び紫外線を用いるアニーリング工程 (UV-O₃アニーリング) を施す。前記UV-O₃アニーリングは温度300℃で0.9vol%のO₃を用いて15分間施す。

50 【0022】図4を参照すると、前記図3の工程を繰り返す。

5

返して前記第1 Ta₂O₅ 膜42の上に第2 Ta₂O₅ 膜44を形成した後、ドライ-O₂ アニールリングを施す。この際、前記第2 Ta₂O₅ 膜44は45 Åの厚さに形成するが、結果的にTa₂O₅ 膜の総厚さは85 Åとなる。前記第2 Ta₂O₅ 膜44の上に前記図3の工程を多数回繰り返すことができるが、この際、Ta₂O₅ 膜の総厚さは50～1000 Åが望ましい。

【0023】次いで、前記Ta₂O₅ 膜の形成された半導体基板30を800℃の温度で30分間ドライ-O₂ アニールリングをさらに施す。これはTa₂O₅ 膜を蒸着するために材料物質として用いられたペンターエトキシータンタルが熱分解して生成された炭素の濃度を低下するためである。図5を参照すると、前記Ta₂O₅ 膜の上にプレート電極46を形成する。前記プレート電極46は不純物のドーピングされた多結晶シリコン、WN、TiN、PtまたはWSiの単一膜やこれらの複合膜よりなる。

【0024】図6乃至図7は本発明の効果を明らかにするためのグラフである。この実験条件は次のとおりである。第一に、Ta₂O₅ を85 Åの厚さに蒸着し（図6、図7、図8において“A”で示す）、第二に、Ta₂O₅ を85 Åの厚さに蒸着した後、UV-O₃ アニールリングし（図6、図7、図8において“B”で示す）、第三に、Ta₂O₅ を40 Åの厚さに蒸着してからUV-O₃ アニールリングし、再びTa₂O₅ を45 Åの厚さに蒸着した後、UV-O₃ アニールリングする（図6、図7、図8において“C”で示す）。

【0025】図6は1.5Vの印加電圧で測定した漏れ電流の密度分布を示すグラフであり、X軸は漏れ電流の密度を、Y軸はその分布を示す。この際、“C”の場合が“A”、“B”の場合より漏れ電流が少ないということがわかる。図7は-1.5V～+1.5Vの印加電圧における最大キャパシタンスの分布を示すグラフであり、X軸は単位セル当たり最大キャパシタンス値を、Y軸はその分布を示す。この際、“B”と“C”は単位セル当たり最大キャパシタンス値が類似している。

【0026】図8は0V～5Vの印加電圧による漏れ電流の密度を示すグラフであり、X軸は印加電圧を、Y軸は漏れ電流の密度を示す。この際、“C”の場合が“A”、“B”の場合より漏れ電流が少ないということがわかる。

【0027】

【発明の効果】したがって、本発明による半導体素子のキャパシタ製造方法は、ストレージ電極の形成された半

6

導体基板上にTa₂O₅ 膜の蒸着とUV-O₃ アニールリングを一回以上繰り返し施して所望の厚さのTa₂O₅ 膜を形成することにより、Ta₂O₅ 膜内に酸素が充分に供給されて酸素欠乏による漏れ電流を防止することができる。

【0028】以上、本発明はこれに限らず、多くの変形が本発明の技術的な思想内で当分野における通常の知識を持つ者により可能なのは明らかである。

【図面の簡単な説明】

10 【図1】本発明による半導体素子のキャパシタ製造方法を説明するための半導体素子の断面図である。

【図2】本発明による半導体素子のキャパシタ製造方法を説明するための半導体素子の断面図である。

【図3】本発明による半導体素子のキャパシタ製造方法を説明するための半導体素子の断面図である。

【図4】本発明による半導体素子のキャパシタ製造方法を説明するための半導体素子の断面図である。

20 【図5】本発明による半導体素子のキャパシタ製造方法を説明するための半導体素子の断面図である。

【図6】誘電膜の厚さとアニールリングの回数による漏れ電流の密度分布を示すグラフである。

【図7】誘電膜の厚さとアニールリングの回数による最大キャパシタンスの分布を示すグラフである。

【図8】印加電圧による漏れ電流の密度分布を示すグラフである。

【図9】従来の技術による半導体素子のキャパシタ製造方法を説明するための半導体素子の断面図である。

【図10】従来の技術による半導体素子のキャパシタ製造方法を説明するための半導体素子の断面図である。

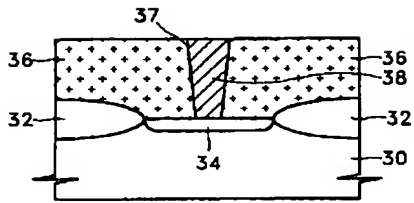
30 【図11】従来の技術による半導体素子のキャパシタ製造方法を説明するための半導体素子の断面図である。

【図12】従来の技術による半導体素子のキャパシタ製造方法を説明するための半導体素子の断面図である。

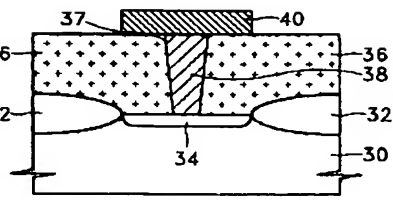
【符号の説明】

- 30 半導体基板
- 32 フィールド酸化膜
- 34 ソース領域
- 36 絶縁層
- 37 コンタクトホール
- 38 導電性プラグ
- 40 ストレージ電極
- 42 第1 Ta₂O₅ 膜
- 44 第2 Ta₂O₅ 膜
- 46 プレート電極

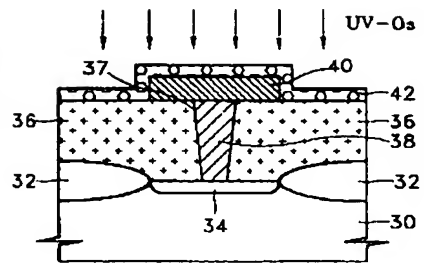
【図1】



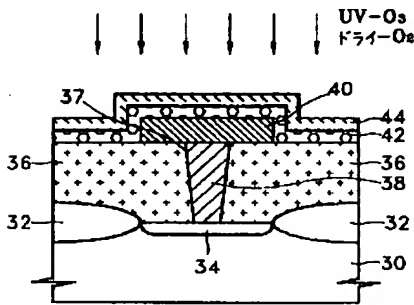
【図2】



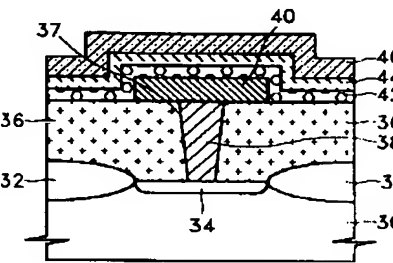
【図3】



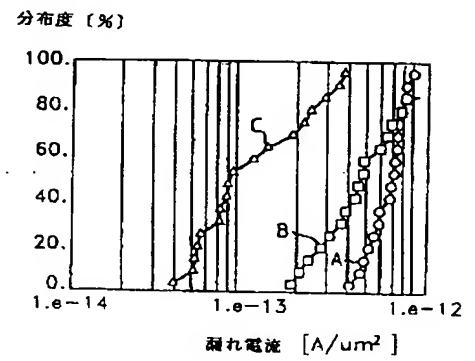
【図4】



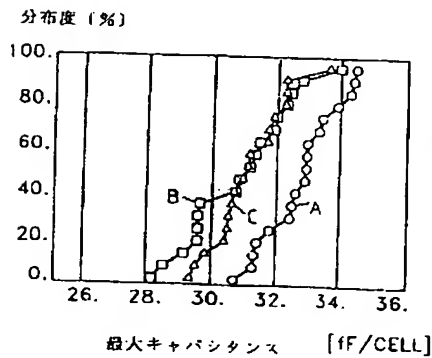
【図5】



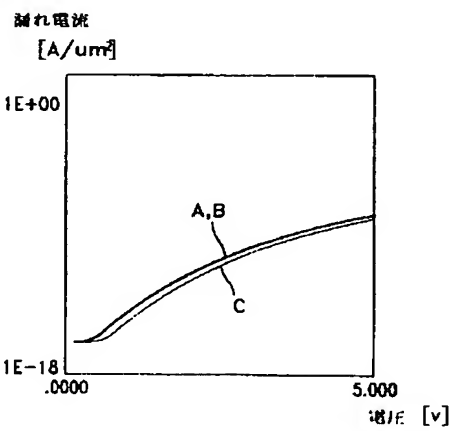
【図6】



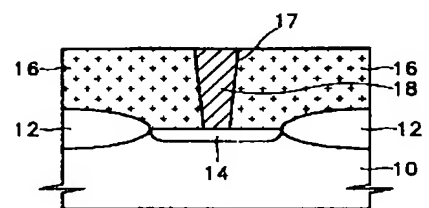
【図7】



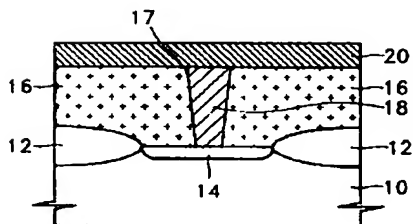
【図8】



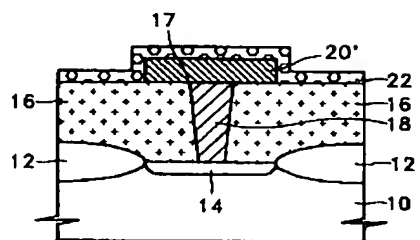
【図9】



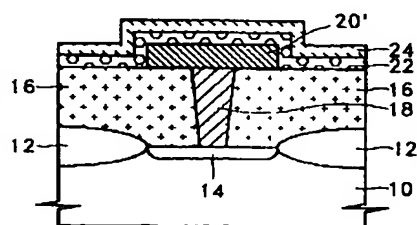
【図10】



【図11】



【図12】



(6)

特開平 9 - 1 2 1 0 3 5

フロントページの続き

(51) Int. Cl. ⁶

識別記号

庁内整理番号

F I

技術表示箇所

// H O 1 L 21/203